

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67631

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

H 0 1 L 21/027

識別記号

F I

H 0 1 L 21/30

5 0 6 A

5 0 7 R

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平9-221484

(22) 出願日 平成9年(1997) 8月18日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 宮崎 順二

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 宮田 金雄 (外2名)

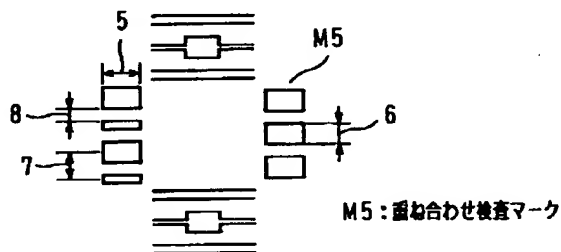
(54) 【発明の名称】 重ね合わせマークおよびこの重ね合わせマークを使用した半導体装置の製造方法

(57) 【要約】

【課題】 実際のパターンと重ね合わせ検査マークとで投影光学系の収差によるパターンの位置ズレが起こり高精度の重ね合わせができないという問題があった。

【解決手段】 デバイスパターンと同じパターン幅5、6、同じピッチ7、同じパターン間隔8を有するように重ね合わせ検査マークを形成する。

【効果】 実際のデバイスパターンと重ね合わせ検査マークとが投影光学系から受ける収差の影響が同じとなり重ね合わせズレ量の測定精度が向上し、高精度のパターンの重ね合わせを行える。



1

【特許請求の範囲】

【請求項1】 デバイスパターンの重ね合わせ工程を複数回行う際の上記各工程に用いられる重ね合わせマークにおいて、

上記デバイスパターンのうち最も重ね合わせ余裕の少ないパターン部分と同じパターン幅、パターン間隔、ピッチで形成されたパターンを備えたことを特徴とする重ね合わせマーク。

【請求項2】 デバイスパターンの重ね合わせ工程を複数回行う際の上記各工程に用いられる重ね合わせマークにおいて、

上記デバイスパターンのうち縦方向および横方向それぞれにおいて最も重ね合わせ余裕の少ないそれぞれのパターン部分と同じパターン幅、パターン間隔、ピッチで形成されたパターンを備えたことを特徴とする重ね合わせマーク。

【請求項3】 デバイスパターンの重ね合わせ工程を複数回行う際の上記各工程に用いられる重ね合わせマークにおいて、

上記デバイスパターンが微細なホールパターンの場合、測定方向には上記ホールパターンと同じピッチで非測定方向にはレジストに線状に転写されるよう上記ホールパターンのピッチを変えたパターンを備えたことを特徴とする重ね合わせマーク。

【請求項4】 同じパターンの繰り返しを少なくとも両隣に備え、上記同じパターンの繰り返しは露光時にレジストに転写されない程度に微細なパターンとしたことを特徴とする請求項1または2記載の重ね合わせマーク。

【請求項5】 重ね合わせマークが露光時において下地パターンとの重ね合わせに用いられるアライメントマークであることを特徴とする請求項1または2記載の重ね合わせマーク。

【請求項6】 デバイスパターンの重ね合わせ工程が第1のデバイスパターンと第2のデバイスパターンとの重ね合わせであり、重ね合わせマークが、第1のデバイスパターンとともに形成された重ね合わせマークと第2のデバイスパターンとともに形成された重ね合わせマークのレジストパターンとのエッジ間距離を測定することによって重ね合わせを行う重ね合わせ検査マークであることを特徴とする請求項1ないし4のいずれかに記載の重ね合わせマーク。

【請求項7】 半導体基板上に絶縁膜を形成する工程と、上記絶縁膜に重ね合わせマークを含むコンタクトホールを形成する工程と、全面に導電膜を形成する工程と、上記導電膜上にレジスト薄膜を形成する工程と、上記レジスト薄膜に重ね合わせマークを含む配線パターンを露光および現像することによって配線のレジストパターンを形成する工程と、上記コンタクトホール形成時の重ね合わせマークと上記配線のレジストパターン形成時の重ね合わせマークとの重ね合わせズレ量を測定する工

2

程と、上記重ね合わせズレ量が所定の許容範囲内のとき、上記配線のレジストパターンをマスクとして上記導電膜をエッチングする工程と、を備えたことを特徴とする請求項6記載の重ね合わせマークを使用した半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置の製造方法である露光技術に関するもので、特にパターンの重ね合わせ時における検査および露光に使用する重ね合わせマークに関するものである。

【0002】

【従来の技術】一般に、半導体デバイスの製造工程は半導体基板上に薄膜を形成し、その薄膜上にレジストパターンを形成してそのレジストパターンをマスクとしてドライエッチングを施すことにより、所定の設計パターンを薄膜に形成するという工程を繰り返すものである。

【0003】ここで、レジストパターンの形成工程はさらに、以下の工程で行われる。まず、半導体基板上にフォトリソの薄膜をスピンコーティング法で形成する。次に、予め所定の設計パターンが形成されているフォトマスクを使用して縮小投影露光機（ステッパー）でフォトリソ上に所定の設計パターンを露光する。このとき、露光時の重ね合わせマークとしてのアライメントマークを使用する。図11は従来のアライメントマークM1を示す平面図である。図に示すように、1～10μm程度の大きなライン状のパターンの繰り返しが主に用いられる。

【0004】次に、フォトリソの現像を行いレジストパターンを出現させる。次に、出現したレジストパターンと予め下地に形成されているパターンとの重ね合わせズレ量およびパターン寸法の検査を行う。この検査は重ね合わせを行う上層および下層に形成されている重ね合わせ検査マークによって行い、検査結果が所定の値以内であればレジストパターンをマスクとしてドライエッチングを施す。また、所定の値以上であればレジストパターンの形成工程のやり直しとなる。

【0005】図12は従来の重ね合わせ検査マークM2を示す平面図および断面図である。図に示すように、従来の重ね合わせ検査マークは10～30μm程度の四角形の第1重ね合わせ検査マークを下地に形成し、次に、被重ね合わせパターン形成時に、第1重ね合わせ検査マーク上に異なる大きさの四角形の第2の重ね合わせ検査マークを形成する。

【0006】図13は従来の重ね合わせ検査マークによる重ね合わせズレ量の測定方法を示す断面図である。図に示すように、下地の第1検査マーク1を残しパターンで形成し、上層の第2検査マーク2を抜きパターンで形成した場合、矢印で示したパターンのエッジを検出し、

左側パターンエッジ間距離3と右側パターンエッジ間距離4とを測定し、その差を重ね合わせズレ量として測定する。

【0007】

【発明が解決しようとする課題】従来の重ね合わせ検査マークおよび重ね合わせズレ量の測定方法さらにはアライメントマークは以上のものであり、パターンの微細化に伴い、従来の重ね合わせ検査マークである10~30 μm 程度の四角形やアライメントマークである1~10 μm 程度の大きなライン状パターンの繰り返しと実際のデバイスパターンとはパターンサイズが大きく異なるようになった。

【0008】また、投影光学系の収差によってパターンの位置ズレが起こるのであるが、パターンサイズによって収差の影響が異なるため、アライメントマークや重ね合わせ検査マークと実際のデバイスパターンとでパターンサイズが大きく異なると、実際のデバイスパターンにおいて、露光時の重ね合わせ誤差が大きくなったりパターンの重ね合わせズレ量が異なるという問題点があった。

【0009】これを解決するものとして図14(a)(b)に示すように、従来の重ね合わせ検査マークである10~30 μm 程度の四角形の辺を実際のデバイスパターンと同じパターンサイズを有するラインM3およびホールM4で形成する方法が提案されている。

【0010】しかし、この方法ではパターンサイズは実際のデバイスパターンと同一に形成されているがピッチやパターン間隔は実際のデバイスパターンとは異なっており、収差の種類によってはやはりパターンの位置ズレ量が重ね合わせ検査マークと実際のデバイスパターンとで異なるという問題点があった。

【0011】この発明は上記のような問題点を解消するためになされたもので、重ね合わせ精度の向上が図れ、信頼性の高いデバイスパターンを形成できるアライメントマークや重ね合わせ検査マークなどの重ね合わせマークを提供することを目的としている。

【0012】

【課題を解決するための手段】この発明の請求項1に係る重ね合わせマークは、デバイスパターンのうち最も重ね合わせ余裕の少ないパターン部分と同じパターン幅、パターン間隔、ピッチで形成されたパターンを備えるようにしたものである。

【0013】この発明の請求項2に係る重ね合わせマークは、デバイスパターンのうち縦方向および横方向それぞれにおいて最も重ね合わせ余裕の少ないそれぞれのパターン部分と同じパターン幅、パターン間隔、ピッチで形成されたパターンを備えるようにしたものである。

【0014】この発明の請求項3に係る重ね合わせマークは、デバイスパターンが微細なホールパターンの場合、測定方向には上記ホールパターンと同じピッチで非

測定方向にはレジストに線状に転写されるよう上記ホールパターンのピッチを変えたパターンを備えるようにしたものである。

【0015】この発明の請求項4に係る重ね合わせマークは、同じパターンの繰り返しを少なくとも両隣に備え、上記同じパターンの繰り返しは露光時にレジストに転写されない程度に微細なパターンとしたものである。

【0016】この発明の請求項5に係る重ね合わせマークは、露光時において下地パターンとの重ね合わせに用いられるアライメントマークであるようにしたものである。

【0017】この発明の請求項6に係る重ね合わせマークは、第1のデバイスパターンとともに形成された重ね合わせマークと第2のデバイスパターンとともに形成された重ね合わせマークのレジストパターンとのエッジ間距離を測定することによって重ね合わせを行う重ね合わせ検査マークであるようにしたものである。

【0018】この発明の請求項7に係る半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、上記絶縁膜に重ね合わせマークを含むコンタクトホールを形成する工程と、全面に導電膜を形成する工程と、上記導電膜上にレジスト薄膜を形成する工程と、上記レジスト薄膜に重ね合わせマークを含む配線パターンを露光および現像することによって配線のレジストパターンを形成する工程と、上記コンタクトホール形成時の重ね合わせマークと上記配線のレジストパターン形成時の重ね合わせマークとの重ね合わせズレ量を測定する工程と、上記重ね合わせズレ量が所定の許容範囲内のとき、上記配線のレジストパターンをマスクとして上記導電膜をエッチングする工程と、を備えるようにしたものである。

【0019】

【発明の実施の形態】

実施の形態1. 図1は配線工程におけるデバイスパターンP1の一部を示した平面図である。図1は重ね合わせ余裕が最も少ないパターンであり、パターン幅5、6を有し、パターン間隔8、ピッチ7を有する。

【0020】図2は、図1のデバイスパターンを転写する際の重ね合わせ検査マークM5を示す平面図である。図に示すように、横方向および縦方向ともに図1のパターンと同じパターン幅5、6、同じパターン間隔8、同じピッチ7で形成する。また、重ね合わせ検査マークでは実際のデバイスパターンの繰り返し数に拘らず最低限両側が同じ構成であれば良い。つまり、重ね合わせ検査マークでは同じパターンの繰り返しは最低3回あればパターンから受ける収差の影響を考慮できる。

【0021】この様に実際のデバイスパターンの重ね合わせ余裕が最も少ないパターンと同じパターン幅、パターン間隔およびピッチを有した重ね合わせ検査マークを形成したので、デバイスパターンと重ね合わせ検査マークとが投影光学系から受ける収差の影響が同じとなり重

5

ね合わせズレ量を精度良く測定することができ、高精度の 패턴の重ね合わせを行うことができる。

【0022】実施の形態2。上記実施の形態1では実際のデバイスパターンと同じパターン形状を用いた重ね合わせ検査マークについて説明を行ったが、図3に示すように、図1の 패턴と同じパターン幅、パターン間隔およびピッチを線状の 패턴で表した重ね合わせ検査マークM6を形成しても良い。

【0023】この場合、上記実施の形態1と同様の効果を有すると共にパターンが単純となるので重ね合わせ検査マークの形成が簡単となる。

【0024】実施の形態3。図4はデバイスパターンにおけるホールパターンP2の一例を示した平面図である。図に示すように、このホールパターンはパターン幅9、10を有し、パターン間隔11、12、ピッチ13、14を有する。つまり横方向と縦方向とでホールパターンのパターン幅、パターン間隔およびピッチが異なっている。

【0025】図5は図4のデバイスパターンの転写を行う際の重ね合わせ検査マークM7を示す平面図である。図に示すように、横方向および縦方向それぞれにおいてホールパターンと同じパターン幅9、10、同じパターン間隔11、12、ピッチ13、14で形成する。

【0026】この様に実際のデバイスパターンにおいて横方向と縦方向とでパターン間隔11、12およびピッチ13、14がそれぞれ異なっている場合には、重ね合わせ検査マークにおいても実際のデバイスパターンと同様に横方向と縦方向とでパターン間隔およびピッチを異ならせて形成するとデバイスパターンと重ね合わせ検査マークとが投影光学系から受ける収差の影響が同じとなり重ね合わせズレ量を精度良く測定することができ、高精度の 패턴の重ね合わせを行うことができる。

【0027】実施の形態4。上記実施の形態3の図5で示した重ね合わせ検査マークにおいて計測方向の繰り返しパターンを露光時に転写されない程度に微細なパターンで形成しても良い。上記実施の形態1と同様に同じパターンの繰り返しは最低3回あればパターンから受ける収差の影響を考慮できる。図6は実施の形態4の重ね合わせ検査マークM8を示した平面図である。この様にすれば、上記実施の形態3と同様の効果を有すると共に重ね合わせ検査において検査装置がパターンを容易に検出でき、重ね合わせズレ量の計測を容易にできる。

【0028】実施の形態5。実際のデバイスパターンがピッチに対してホール径の小さい微細なホールパターンの場合、実際のデバイスパターンと同様のパターンサイズおよびピッチで重ね合わせ検査マークを形成するとパターンが疎らになってしまい検査装置がパターンを検出できない場合がある。この様なときにはパターンサイズは実際のデバイスパターンと同じとして検査装置の測定方向にはピッチを変えずに、非測定方向にはピッチを変

6

えてパターンを形成すると良い。

【0029】図7(a)は実際のデバイスパターンP3であり、図7(b)は図7(a)に対応する実施の形態5の重ね合わせ検査マークM9であり、図7(c)は図7(b)を転写した際のパターン形状である。図7(b)に示すように、マスク上の重ね合わせ検査マークでは実際のデバイスパターンのパターンサイズおよび測定方向(同図の縦方向)のピッチは変えることなく、非測定方向にはホールパターンのピッチを解像限界以下に小さく形成している。図7(c)に示すように、図7(b)のホールパターンを転写するとパターン間隔が解像限界以下に接近しているため、ホールがつながり線状パターンに形成することができ、検査装置は容易にパターンを検出することができる。

【0030】実施の形態6。ここでは実際のデバイス製造への応用例としてコンタクトホール形成工程と配線工程とについて説明する。図8(a)はコンタクトホール形成工程と配線工程とを示した平面図である。図において、15は配線パターン、16はコンタクトホールパターン、17、18はパターン幅、19はパターン間隔、20は縦方向で最も重ね合わせ余裕が少ない部分、21は横方向で最も重ね合わせ余裕が少ない部分である。

【0031】図8(b)はコンタクトホール形成工程と配線工程との重ね合わせ検査マークM10を示した図である。図において、コンタクトホール形成工程の重ね合わせ検査マークは最も重ね合わせ余裕が少ない部分20、21の断面方向A-A'、B-B'におけるパターン幅17、18、パターン間隔19と同一寸法に形成している。このうち断面方向B-B'においてはパターン間隔は十分広いので一列配置としている。また、配線工程の重ね合わせ検査マークはやはり重ね合わせ余裕が少ない部分20、21の断面方向A-A'、B-B'にパターン幅22、23、24、パターン間隔25、26と同一寸法で形成している。

【0032】図9(a)~(d)は図8で示したデバイスパターンおよび重ね合わせ検査マークにおけるA-A'、C-C'の工程断面図であり、左側部分は重ね合わせ検査マークA-A'、右側部分はデバイスパターンC-C'の断面図である。以下、図9にしたがって説明を行う。

【0033】まず、図9(a)に示すように、下地である絶縁膜27にコンタクトホールを形成する。次に、図9(b)に示すように、絶縁膜27上に導電膜28を形成する。次に、図9(c)に示すように、導電膜28上にレジスト薄膜をスピンコートで形成した後、重ね合わせ検査マークを含むマスクを介して投影露光機で露光し、現像を行ってレジストパターン29を形成する。

【0034】この後、重ね合わせ検査マーク部においては下地の絶縁膜27に形成されているパターンとレジストパターン29とを検出してパターンエッジ間距離3

0.31を測定し、左右の重ね合わせズレ量を計測する。その後、重ね合わせズレ量の計測が所定の許容範囲以内であれば、図9(d)に示すように、レジストパターン29をマスクとして導電膜28にエッチングを施して配線パターンを形成する。

【0035】このとき、重ね合わせ検査マークはパターン幅およびパターン間隔をコンタクトホールパターンおよび配線パターンと同じに形成しているため、高精度に重ね合わせを行うことができる。

【0036】実施の形態7。上記実施の形態1~6では重ね合わせ検査マークについて説明を行ったが、露光時に使用する重ね合わせマークであるアライメントマークについても同様に考えることができる。

【0037】図10(a)(b)はアライメントマークを示す平面図である。デバイスパターン上の最小パターンが0.25μmで形成されているときには図10(a)に示すように、アライメントマークM11を0.25μmのライン&スペースパターンで形成する。また、デバイスパターン上の最小パターンがホールパターンである場合には図10(b)に示すように、アライメントマークM12を最小のホールパターンで形成する。

【0038】この様に、アライメントマークをデバイスパターンと同じパターン幅、パターン間隔、ピッチで形成したので露光時の重ね合わせ誤差を小さくすることができる。

【0039】

【発明の効果】以上のようにこの発明によれば、デバイスパターンのうち最も重ね合わせ余裕の少ないパターン部分と同じパターン幅、パターン間隔、ピッチで形成されたパターンを備えるようにしたので、デバイスパターンと重ね合わせマークとが投影光学系から受ける収差の影響が同じとなり、高精度のパターンの重ね合わせを行うことができる。

【0040】また、デバイスパターンのうち縦方向および横方向それぞれにおいて最も重ね合わせ余裕の少ないそれぞれのパターン部分と同じパターン幅、パターン間隔、ピッチで形成されたパターンを備えるようにしたので、デバイスパターンと重ね合わせマークとが投影光学系から受ける収差の影響が同じとなり、高精度のパターンの重ね合わせを行うことができる。

【0041】また、デバイスパターンが微細なホールパターンの場合、測定方向には上記ホールパターンと同じピッチで非測定方向にはレジストに線状に転写されるよう上記ホールパターンのピッチを変えたパターンを備えるようにしたので、重ね合わせ検査において検査装置は容易にパターンを検出することができ、重ね合わせズレ量の計測を容易にできる。

【0042】また、同じパターンの繰り返しを少なくとも両隣に備え、上記同じパターンの繰り返しは露光時にレジストに転写されない程度に微細なパターンとしたの

で、重ね合わせ検査において検査装置がパターンを容易に検出でき、重ね合わせズレ量の計測を容易にできる。

【0043】また、露光時において下地パターンとの重ね合わせに用いられるアライメントマークであるようにしたので、投影露光機による収差の影響を小さくでき、露光時の重ね合わせ誤差を小さくすることができる。

【0044】第1のデバイスパターンとともに形成された重ね合わせマークと第2のデバイスパターンとともに形成された重ね合わせマークのレジストパターンとのエッチ間距離を測定することによって重ね合わせを行う重ね合わせ検査マークであるようにしたので、検査装置において重ね合わせズレ量を精度良く測定することができる。

【0045】また、半導体基板上に絶縁膜を形成する工程と、上記絶縁膜に重ね合わせマークを含むコンタクトホールを形成する工程と、全面に導電膜を形成する工程と、上記導電膜上にレジスト薄膜を形成する工程と、上記レジスト薄膜に重ね合わせマークを含む配線パターンを露光および現像することによって配線のレジストパターンを形成する工程と、上記コンタクトホール形成時の重ね合わせマークと上記配線のレジストパターン形成時の重ね合わせマークとの重ね合わせズレ量を測定する工程と、上記重ね合わせズレ量が所定の許容範囲内のとき、上記配線のレジストパターンをマスクとして上記導電膜をエッチングする工程とを備えるようにしたので、コンタクトホールと配線層との重ね合わせを高精度に行え、デバイスの信頼性の向上を図れる。

【図面の簡単な説明】

【図1】 配線工程におけるデバイスパターンの一部を示した平面図である。

【図2】 実施の形態1の重ね合わせ検査マークを示した平面図である。

【図3】 実施の形態2の重ね合わせ検査マークを示した平面図である。

【図4】 デバイスパターンにおけるホールパターンの一例を示した平面図である。

【図5】 実施の形態3の重ね合わせ検査マークを示した平面図である。

【図6】 実施の形態4の重ね合わせ検査マークを示した平面図である。

【図7】 実施の形態5のホールパターンおよび重ね合わせ検査マークを示した平面図である。

【図8】 実施の形態6のデバイスパターンおよび重ね合わせ検査マークを示した平面図である。

【図9】 実施の形態6のデバイスパターンおよび重ね合わせ検査マークを示した工程断面図である。

【図10】 この発明のアライメントマークを示す平面図である。

【図11】 従来のアライメントマークを示す平面図である。

9

【図12】 従来の重ね合わせ検査マークを示す平面図および断面図である。

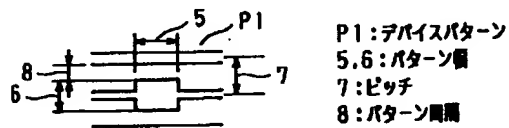
【図13】 従来の重ね合わせ検査マークによる重ね合わせズレ量の測定方法を示す断面図である。

【図14】 従来の重ね合わせ検査マークを示す図である。

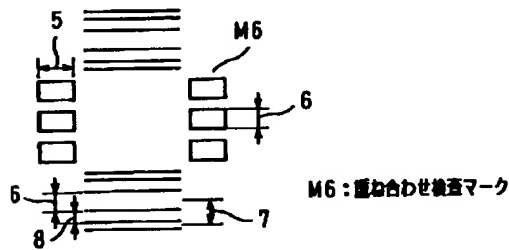
【符号の説明】

5, 6, 9, 10 パターン幅、7, 13, 14 ピッチ

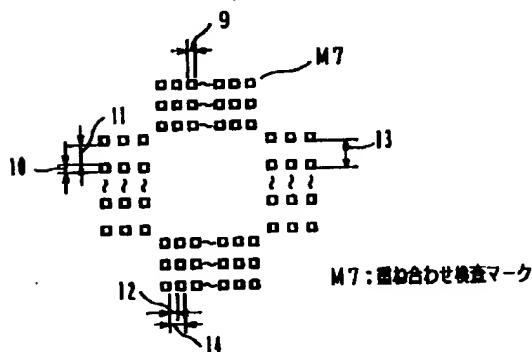
【図1】



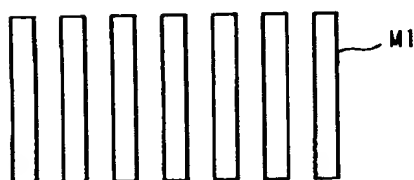
【図3】



【図5】



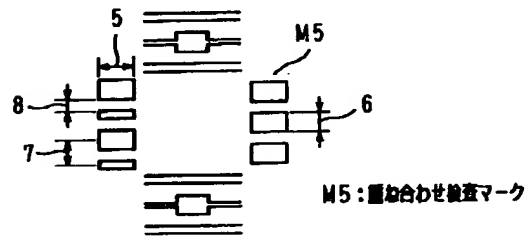
【図11】



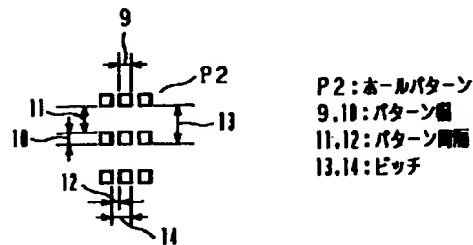
10

チ、8, 11, 12 パターン間隔、15 配線パターン、16 コンタクトホールパターン、17, 18 コンタクトホールパターン幅、19 コンタクトホールパターン間隔、22, 23, 24 配線パターン幅、25, 26 配線パターン間隔、30, 31 パターンエッジ間距離、P1 デバイスパターン、P2, P3 ホールパターン、M5~M10 重ね合わせ検査マーク、M11, M12 アライメントマーク。

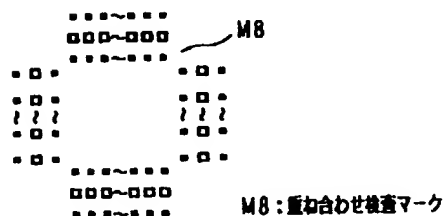
【図2】



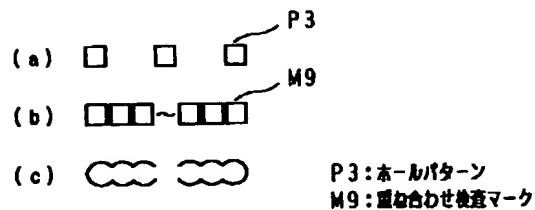
【図4】



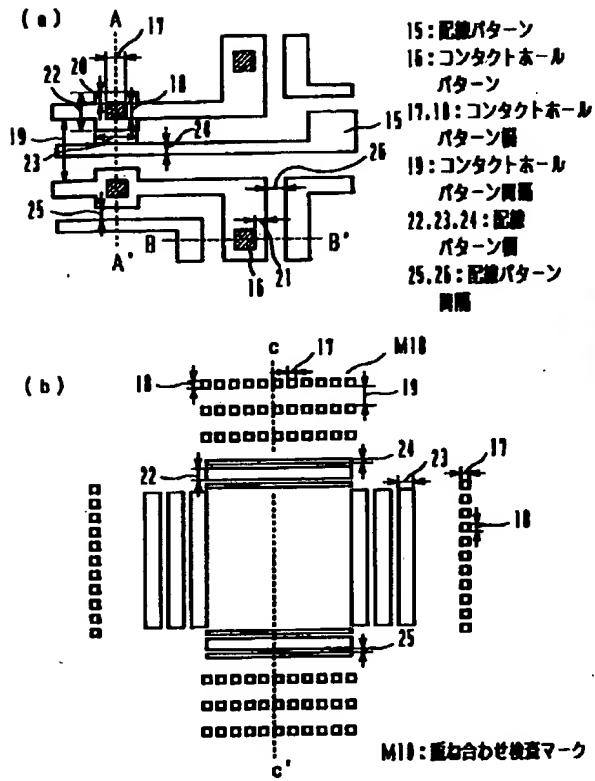
【図6】



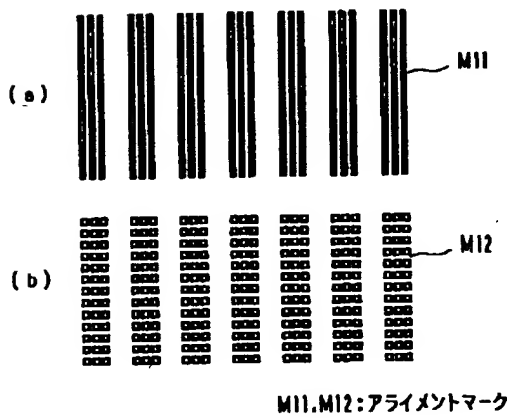
【図7】



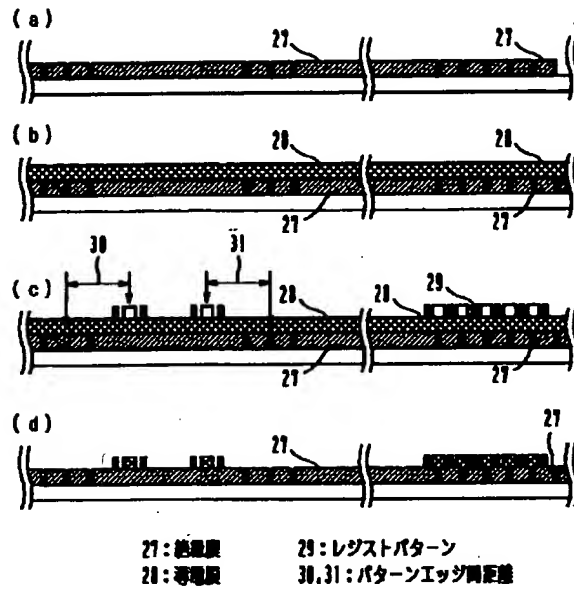
【図8】



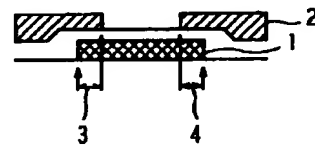
【図10】



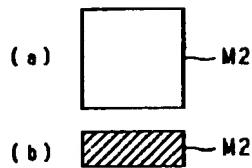
【図9】



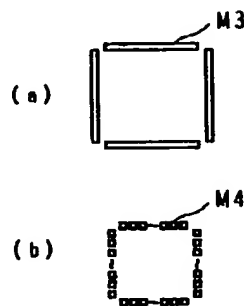
【図13】



【図12】



【図14】



【手続補正書】

【提出日】平成9年10月24日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 デバイスパターンの重ね合わせ工程を行う際の上記各工程に用いられる重ね合わせマークにおいて、

上記デバイスパターンのうち最も重ね合わせ余裕の少ないパターン部分と同じパターン幅、パターン間隔、ピッチで形成されたパターンを備えたことを特徴とする重ね合わせマーク。

【請求項2】 デバイスパターンの重ね合わせ工程を行う際の上記各工程に用いられる重ね合わせマークにおいて、

上記デバイスパターンのうち縦方向および横方向それぞれにおいて最も重ね合わせ余裕の少ないそれぞれのパターン部分と同じパターン幅、パターン間隔、ピッチで形成されたパターンを備えたことを特徴とする重ね合わせマーク。

【請求項3】 デバイスパターンの重ね合わせ工程を行う際の上記各工程に用いられる重ね合わせマークにおいて、

上記デバイスパターンが微細なホールパターンの場合、測定方向には上記ホールパターンと同じピッチで非測定方向にはレジストに線状に転写されるよう上記ホールパターンのピッチを変えたパターンを備えたことを特徴とする重ね合わせマーク。

【請求項4】 同じパターンの繰り返しを少なくとも両隣に備え、上記同じパターンの繰り返しは露光時にレジストに転写されない程度に微細なパターンとしたことを特徴とする請求項1または2記載の重ね合わせマーク。

【請求項5】 重ね合わせマークが露光時において下地パターンとの重ね合わせに用いられるアライメントマークであることを特徴とする請求項1ないし4のいずれかに記載の重ね合わせマーク。

【請求項6】 デバイスパターンの重ね合わせ工程が第1のデバイスパターンと第2のデバイスパターンとの重ね合わせであり、重ね合わせマークが、第1のデバイスパターンとともに形成された重ね合わせマークと第2のデバイスパターンとともに形成された重ね合わせマークのレジストパターンとのエッジ間距離を測定することによって重ね合わせを行う重ね合わせ検査マークであることを特徴とする請求項1ないし4のいずれかに記載の重ね合わせマーク。

【請求項7】 半導体基板上に下層膜を形成する工程と、上記下層膜に重ね合わせマークを含む第1のデバ

スパターンを形成する工程と、全面に上層膜を形成する工程と、上記上層膜上にレジスト薄膜を形成する工程と、上記レジスト薄膜に重ね合わせマークを含む第2のデバイスパターンを露光および現像することによって第2のデバイスのレジストパターンを形成する工程と、上記第1のデバイスパターン形成時の重ね合わせマークと上記第2のデバイスのレジストパターン形成時の重ね合わせマークとの重ね合わせズレ量を測定する工程と、上記重ね合わせズレ量が所定の許容範囲内のとき、上記第2のデバイスのレジストパターンをマスクとして上記上層膜をエッチングする工程と、を備えたことを特徴とする請求項6記載の重ね合わせマークを使用した半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】次に、図13を用いて従来の重ね合わせ検査マークによる重ね合わせズレ量の測定方法を説明する。図に示すように、半導体基板上に下地からなる第1重ね合わせ検査マーク1を残しパターンで形成し、その上に上層膜を形成し、上層膜上にフォトリソからなる第2重ね合わせ検査マーク2を抜きパターンで形成した場合、矢印で示したパターンのエッジを検出し、左側パターンエッジ間距離3と右側パターンエッジ間距離4とを測定し、その差を重ね合わせズレ量として測定する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】また、投影光学系の収差によってパターンの位置ズレが発生する可能性があるが、パターンサイズによって収差の影響が異なるため、アライメントマークや重ね合わせ検査マークと実際のデバイスパターンとでパターンサイズが大きく異なると、実際のデバイスパターンにおいて、露光時の重ね合わせ誤差が大きくなったりパターンの重ね合わせズレ量が異なるという問題点があった。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】この発明の請求項7に係る半導体装置の製造方法は、半導体基板上に下層膜を形成する工程と、上記下層膜に重ね合わせマークを含む第1のデバイスパ

ーンを形成する工程と、全面に上層膜を形成する工程と、上記上層膜上にレジスト薄膜を形成する工程と、上記レジスト薄膜に重ね合わせマークを含む第2のデバイスパターンを露光および現像することによって第2のデバイスのレジストパターンを形成する工程と、上記第1のデバイスパターン形成時の重ね合わせマークと上記第2のデバイスのレジストパターン形成時の重ね合わせマークとの重ね合わせズレ量を測定する工程と、上記重ね合わせズレ量が所定の許容範囲内のとき、上記第2のデバイスのレジストパターンをマスクとして上記上層膜をエッチングする工程と、を備えるようにしたものである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】まず、図9(a)に示すように、下層膜である絶縁膜27にコンタクトホールを形成する。次に、図9(b)に示すように、絶縁膜27上に上層膜である導電膜28を形成する。次に、図9(c)に示すように、導電膜28上にレジスト薄膜をスピコートで形成した後、重ね合わせ検査マークを含むマスクを介して投影露光機で露光し、現像を行ってレジストパターン29を形成する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】この後、重ね合わせ検査マーク部においては下層の絶縁膜27に形成されているパターンとレジストパターン29とを検出してパターンエッジ間距離30、31を測定し、左右の重ね合わせズレ量を計測する。その後、重ね合わせズレ量の計測が所定の許容範囲以内であれば、図9(d)に示すように、レジストパターン29をマスクとして導電膜28にエッチングを施して配線パターンを形成する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】また、半導体基板上に下層膜を形成する工程と、上記下層膜に重ね合わせマークを含む第1のデバイスパターンを形成する工程と、全面に上層膜を形成する工程と、上記上層膜上にレジスト薄膜を形成する工程と、上記レジスト薄膜に重ね合わせマークを含む第2のデバイスパターンを露光および現像することによって第2のデバイスのレジストパターンを形成する工程と、上記第1のデバイスパターン形成時の重ね合わせマークと上記第2のデバイスのレジストパターン形成時の重ね合わせマークとの重ね合わせズレ量を測定する工程と、上記重ね合わせズレ量が所定の許容範囲内のとき、上記第2のデバイスのレジストパターンをマスクとして上記上層膜をエッチングする工程とを備えるようにしたので、第1のデバイスパターンと第2のデバイスパターンとの重ね合わせを高精度に行え、デバイスの信頼性の向上を図れる。

【手続補正8】

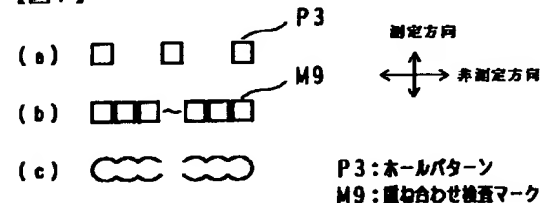
【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】



【手続補正9】

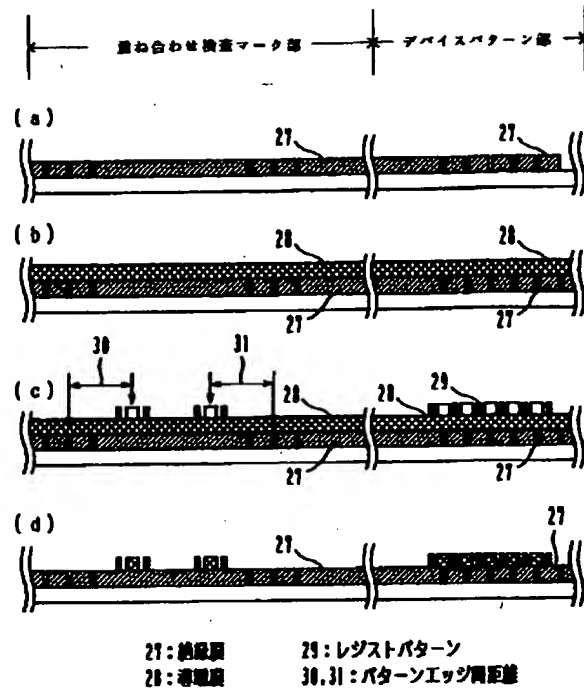
【補正対象書類名】図面

【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】



MENU

SEARCH

INDEX

DETAIL

ENDWISE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067631

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 21/027

(21)Application number : 09-221484

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing :

18.08.1997

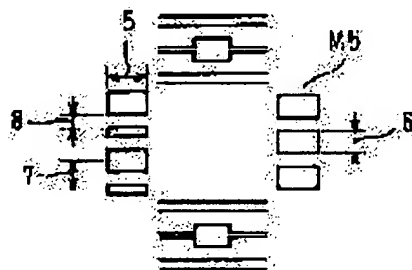
(72)Inventor : MIYAZAKI JUNJI

(54) OVERLAY MARK AND MANUFACTURE OF SEMICONDUCTOR DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To equalize the effect of aberration of a projection optical system and to perform a high-accuracy overlay of patterns by adopting a pattern formed with the same width, space and pitch of traces as the part of pattern having the smallest overlay margin of device patterns.

SOLUTION: Patterns 5 and 6 which are same as the pattern having the smallest overlay margin in the direction of both width and length are formed with the same space 8 and pitch 7 of traces. At an overlay check mark M5, if at least both sides have the same structure, it is judged to be satisfactory regardless of the actual number of repeated device patterns. If one pattern is repeated at least three times, the effect of aberration of pattern can be considered. When the overlay check mark M5 is formed in this way, the effect of aberration of a projection optical system to device patterns and the overlay check mark becomes equal. Accordingly, the accuracy of measurement of overlay error is improved and a high-accuracy overlay of patterns can be performed.



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention is dew which is the manufacture method of a semiconductor device.

[0002]

[Description of the Prior Art] Generally, by forming a thin film on a semiconductor substrate, forming a resist pattern on the thin film, and giving dry etching by using the resist pattern as a mask, the manufacturing process of a semiconductor device repeats the process of forming a predetermined design pattern in a thin film, and performs it.

[0003] Here, the formation process of a resist pattern is performed at the process of further the following. First, the thin film of a photoresist is formed by the spin coating method on a semi-conductor substrate. Next, a predetermined design pattern is exposed on a photoresist with a reduction projection exposure machine (stepper) using the photo mask in which the predetermined design pattern is formed beforehand. At this time, it carries out using the alignment mark as a superposition mark at the time of exposure.

Drawing 11 is the plan showing the conventional alignment mark M1. As shown in drawing, the repeat of the pattern of the about 1-10-micrometer shape of a big line is mainly used.

[0004] Next, a photoresist is developed and a resist pattern is made to appear. Next, inspection of the amount of superposition gaps of the resist pattern which appeared, and the pattern currently beforehand formed in the ground, and a pattern size is conducted. This inspection is conducted by the superposition inspection mark currently formed in the upper layer and the lower layer which perform superposition, and if an inspection result is less than a predetermined value, dry etching will be given by using a resist pattern as a mask. Moreover, if it is beyond a predetermined value, it will become redo of the formation process of a resist pattern.

[0005] Drawing 12 is the plan and cross section showing the conventional superposition inspection mark M2. it is shown in drawing -- as -- the conventional superposition inspection mark -- the 1st [with a square of about 10-30 micrometers] -- piling up -- an inspection mark -- a ground -- forming -- next, the time of superposition-ed pattern formation -- the -- the 2nd superposition inspection mark of the square of a size which piles up one and is different on an inspection mark is formed

[0006] Drawing 13 is the cross section showing the measuring method of the amount of superposition gaps by the conventional superposition inspection mark. As shown in drawing, when it left the 1st inspection mark 1 of a ground, and it formed by the pattern, and the upper 2nd inspection mark 2 is extracted and it forms by the pattern, the edge of the pattern shown by the arrow is detected and the distance 3 between left-hand side pattern edges and the distance 4 between right-hand side pattern edges are measured, and the difference is piled up and it measures as an amount of gaps.

[0007]

[Problem(s) to be Solved by the Invention] The measuring method and also alignment mark of the conventional superposition inspection mark and the amount of superposition gaps are above, and the repeat of the about 1-10-micrometer big line-like pattern which is about 10-30-micrometer the square and alignment mark which are the conventional superposition inspection mark came to differ in pattern size greatly from an actual device pattern with detailed-izing of a pattern.

[0008] Moreover, although position gap of a pattern took place by the aberration of a projection optical system, since the influence of aberration changed with pattern sizes, when the alignment mark and the superposition inspection mark differed in pattern size greatly from the actual device pattern, in an actual device pattern, there was a trouble that the superposition error at the time of exposure became large, or the amounts of superposition gaps of a pattern differed.

[0009] As shown in drawing 14 (a) and (b) as what solves this, the method of forming the side with a square of about 10-30 micrometers which is the conventional superposition inspection mark in the line M3 and hole M4 which have the same pattern size as an actual device pattern is proposed.

[0010] However, by this method, although pattern size was formed identically to an actual device pattern, depending on the kind of aberration, the pitch and the pattern interval differ from the actual device pattern, the amount of position gaps of a pattern piled them up too, and there was a trouble of differing by the inspection mark and the actual device pattern.

[0011] This invention was made in order to cancel the above troubles, and it can aim at improvement in superposition precision, and it aims at offering superposition marks which can form a reliable device pattern, such as an alignment mark and a superposition inspection mark.

[0012]

[Means for Solving the Problem] The superposition mark concerning the claim 1 of this invention is equipped with the pattern formed among device patterns in the same pattern width of face as a pattern portion with few superposition margins, the pattern interval, and the pitch.

[0013] The superposition mark concerning the claim 2 of this invention is equipped with the pattern formed in lengthwise and each longitudinal direction in the same pattern width of face as each pattern portion with few superposition margins, the pattern interval, and the pitch among device patterns.

[0014] The superposition mark concerning the claim 3 of this invention is equipped with the pattern into which the pitch of the above-mentioned hole pattern was changed so that a resist might imprint in the non-measuring direction in the same pitch as the above-mentioned hole pattern at a line in the measurement direction, when a device pattern is a detailed hole pattern.

[0015] the repeat of the pattern with the same superposition mark concerning the claim 4 of this invention -- at least -- neighbors -- having -- the above -- the repeat of the same pattern is taken as a pattern detailed to the grade which is not imprinted by the resist at the time of exposure

[0016] It is made for the superposition mark concerning the claim 5 of this invention to be an alignment mark used for superposition with a ground pattern at the time of exposure.

[0017] It is made for the superposition mark concerning the claim 6 of this invention to be a superposition inspection mark which performs superposition by [in which it was formed with the 1st device pattern / which pile up and measures the distance between edges with the resist pattern of a mark] having piled up and having been formed with a mark and the 2nd device pattern.

[0018] The manufacture method of the semiconductor device concerning the claim 7 of this invention The process which forms an insulator layer on a semiconductor substrate, and the process which forms the contact hole which lays on top of the above-mentioned insulator layer, and includes a mark, The process which forms an electric conduction film in the whole surface, and the process which forms a resist thin film on the above-mentioned electric conduction film, The process which forms the resist pattern of wiring by exposing and developing the circuit pattern which lays on top of the above-mentioned resist thin film, and includes a mark, The process which measures the amount of superposition gaps of the superposition mark at the time of the above-mentioned contact hole formation, and the superposition mark at the time of the resist pattern formation of the above-mentioned wiring, and when the above-mentioned amount of superposition gaps is in predetermined tolerance, It has the process which *****s the above-mentioned electric conduction film by using the resist pattern of the above-mentioned wiring as a mask.

[0019]

[Embodiments of the Invention]

Gestalt 1. drawing 1 of operation is the plan having shown some device patterns P1 in a wiring process. A superposition margin is the fewest pattern, and drawing 1 has the pattern width of face 5 and 6, and has the pattern interval 8 and a pitch 7.

[0020] Drawing 2 is the plan showing the superposition inspection mark M5 at the time of imprinting the device pattern of drawing 1 . As shown in drawing, it forms a longitudinal direction and lengthwise in the same pattern width of face 5 and 6 as the pattern of drawing 1 , the same pattern interval 8, and the same pitch 7. Moreover, by the superposition inspection mark, both sides should just be the same composition at worst irrespective of the number of repeats of an actual device pattern. That is, by the superposition inspection mark, if there are at least three repeats of the same pattern, they can take into consideration the influence of the aberration received from a pattern.

[0021] Thus, it can become the same influencing [the same pattern width of face as a pattern with few superposition margins, pattern interval, and pitch of an actual device pattern] of the aberration which piles up with a device pattern and an inspection mark receives from a projection optical system since it piled up and the inspection mark was formed, the amount of superposition gaps can be measured with a sufficient precision, and superposition of a highly precise pattern can be performed.

[0022] With the gestalt 1 of the gestalt 2. above-mentioned implementation of operation, you may form the superposition inspection mark M6 which used the actually same pattern configuration as a device pattern and which expressed the same pattern width of face as a pattern, pattern interval, and pitch of drawing 1 by the linear pattern as it was shown in drawing 3 , although it piled up and the inspection mark was explained.

[0023] In this case, since a pattern becomes simple while having the same effect as the form 1 of the above-mentioned implementation, it piles up, and formation of an inspection mark becomes easy.

[0024] Form 3. drawing 4 of operation is the plan having shown an example of the hole pattern P2 in a device pattern. As shown in drawing, this hole pattern has the pattern width of face 9 and 10, and has the pattern intervals 11 and 12 and pitches 13 and 14. That is, the pattern width of face, pattern interval, and pitch of a hole pattern differ from each other by the longitudinal direction and lengthwise.

[0025] Drawing 5 is the plan showing the superposition inspection mark M7 at the time of imprinting the device pattern of drawing 4 . As shown in drawing, in a longitudinal direction and lengthwise [each], it forms in the same pattern width of face 9 and 10 as a hole pattern, the same pattern intervals 11 and 12, and pitches 13 and 14.

[0026] thus, when the pattern intervals 11 and 12 differ from pitches 13 and 14 by the longitudinal direction and lengthwise in the actual device pattern, respectively In a superposition inspection mark The influence of the aberration which will pile up with a device pattern and an inspection mark will receive from a projection optical system if a pattern interval and a pitch are changed and it forms by the longitudinal direction and lengthwise like an actual device pattern becomes the same, and the amount of superposition gaps can be measured with a sufficient precision. ** -- Superposition of a highly precise pattern can be performed.

[0027] It may pile up and the repeat pattern of the measurement direction may be formed in the grade which was shown by drawing 5 of the gestalt 3 of the gestalt 4. above-mentioned implementation of operation and which is not imprinted at the time of exposure by the detailed pattern in an inspection mark. Like the gestalt 1 of the above-mentioned implementation, if there are at least three repeats of the same pattern, they can take into consideration the influence of the aberration received from a pattern. Drawing 6 is the plan having shown the superposition inspection mark M8 of the gestalt 4 of operation. It piles up, while having the same effect as the gestalt 3 of the above-mentioned implementation, if it is made this appearance, and in inspection, test equipment can detect a pattern easily and can make measurement of the amount of superposition gaps easy.

[0028] If the device pattern of the form 5. practice of operation piles up in the same pattern size and same pitch as an actual device pattern in the case of the small detailed hole pattern of the diameter of a hole and forms an inspection mark to a pitch, a pattern may become sparse and test equipment may be unable to detect a pattern. When such, as for pattern size, it is good to change a pitch in the non-measuring direction and to form a pattern, without changing a pitch in the measurement direction of test equipment as the same as an actual device pattern.

[0029] Drawing 7 (a) is the actual device pattern P3, drawing 7 (b) is the superposition inspection mark M9 of the gestalt 5 of the operation corresponding to drawing 7 (a), and drawing 7 (c) is a pattern configuration at the time of imprinting drawing 7 (b). As shown in drawing 7 (b), by the superposition

inspection mark on a mask, the pattern size of an actual device pattern and the pitch of the measurement direction (lengthwise [of this drawing]) form the pitch of a hole pattern in the non-measuring direction small below at the resolution limit, without changing. since the pattern interval will approach below the resolution limit if the hole pattern of drawing 7 (b) is imprinted, as shown in drawing 7 (c) -- a hole -- being connected -- a line -- it can form in a pattern and test equipment can detect a pattern easily

[0030] gestalt 6. of operation -- here, a contact hole formation process and a wiring process are explained as an application to actual device manufacture Drawing 8 (a) is the plan having shown the contact hole formation process and the wiring process. drawing -- setting -- 15 -- a circuit pattern and 16 -- for a contact hole pattern, and 17 and 18, as for a pattern interval and 20, pattern width of face and 19 are [a portion with few superposition margins and 21] portions with few superposition margins in a longitudinal direction in lengthwise

[0031] Drawing 8 (b) is drawing having shown the superposition inspection mark M10 of a contact hole formation process and a wiring process. In drawing, the superposition inspection mark of a contact hole formation process is formed in the same size as the pattern width of face 17 and 18 in direction A-Aof cross section ' of portions 20 and 21 with few superposition margins, and B-B', and the pattern interval 19. Among these, in direction B-Bof cross section ', the pattern interval is enough considered as single-tier arrangement by latus'. Moreover, the superposition margin forms the superposition inspection mark of a wiring process in few direction A-Aof cross section ' of portions 20 and 21, and B-B' too with the same size as the pattern width of face 22, 23, and 24 and the pattern intervals 25 and 26.

[0032] Drawing 9 (a) - (d) is the process cross section of A-A' in the device pattern shown by drawing 8 , and a superposition inspection mark, and C-C', a left-hand side portion is piled up and inspection mark A-A' and a right-hand side portion are the cross sections of device pattern C-C'. Hereafter, it explains according to drawing 9 .

[0033] First, a contact hole is formed in the insulator layer 27 which is a ground as shown in drawing 9 (a). Next, as shown in drawing 9 (b), the electric conduction film 28 is formed on an insulator layer 27. Next, as shown in drawing 9 (c), after forming a resist thin film on a spin coat on the electric conduction film 28, negatives are developed by exposing with a projection exposure machine through a mask including a superposition inspection mark, and the resist pattern 29 is formed.

[0034] Then, the pattern and the resist pattern 29 which are formed in the insulator layer 27 of a ground in the superposition inspection mark section are detected, the distance 30 and 31 between pattern edges is measured, and the amount of superposition gaps on either side is measured. Then, if measurement of the amount of superposition gaps is less than predetermined tolerance, as shown in drawing 9 (d), it will etch into the electric conduction film 28 by using the resist pattern 29 as a mask, and a circuit pattern will be formed.

[0035] Since the superposition inspection mark forms similarly to a contact hole pattern and a circuit pattern pattern width of face and the pattern interval at this time, superposition can be performed with high precision.

[0036] Although it piled up and the gestalten 1-6 of the gestalt 7. above-mentioned implementation of operation explained the inspection mark, the alignment mark which is a superposition mark used at the time of exposure can be considered the same way.

[0037] Drawing 10 (a) and (b) are the plans showing an alignment mark. When the minimum pattern on a device pattern is formed by 0.25 micrometers, as shown in drawing 10 (a), the alignment mark M11 is formed by the 0.25-micrometer line & space pattern. Moreover, when the minimum pattern on a device pattern is a hole pattern, as shown in drawing 10 (b), the alignment mark M12 is formed by the minimum hole pattern.

[0038] Thus, since the alignment mark was formed in the same pattern width of face as a device pattern, the pattern interval, and the pitch, the superposition error at the time of exposure can be made small.

[0039]

[Effect of the Invention] Since it had the pattern formed among device patterns in the same pattern width of face as a pattern portion with few superposition margins, the pattern interval, and the pitch as mentioned above according to this invention, the influence of the aberration which piles up with a device pattern and a mark receives from a projection optical system becomes the same, and can perform

superposition of a highly precise pattern.

[0040] Moreover, since it had the pattern formed in lengthwise and each longitudinal direction in the same pattern width of face as each pattern portion with few superposition margins, the pattern interval, and the pitch among device patterns, the influence of the aberration which piles up with a device pattern and a mark receives from a projection optical system becomes the same, and can perform superposition of a highly precise pattern.

[0041] Moreover, since it had the pattern into which the pitch of the above-mentioned hole pattern was changed in the measurement direction so that a resist might imprint in the non-measuring direction in the same pitch as the above-mentioned hole pattern at a line when a device pattern was a detailed hole pattern, in superposition inspection, test equipment can detect a pattern easily and can make measurement of the amount of superposition gaps easy.

[0042] moreover, the repeat of the same pattern -- at least -- neighbors -- having -- the above -- since the repeat of the same pattern considered as the pattern detailed to the grade which is not imprinted by the resist at the time of exposure, in superposition inspection, test equipment can detect a pattern easily and can make measurement of the amount of superposition gaps easy

[0043] Moreover, since it was made to be the alignment mark used for superposition with a ground pattern at the time of exposure, influence of the aberration by the projection exposure machine can be made small, and the superposition error at the time of exposure can be made small.

[0044] Since it was made to be the superposition inspection mark which performs superposition by [in which it was formed with the 1st device pattern / which pile up and measures the distance between edges with the resist pattern of a mark] having piled up and having been formed with a mark and the 2nd device pattern, it can pile up in test equipment and the amount of gaps can be measured with a sufficient precision.

[0045] Moreover, the process which forms an insulator layer on a semiconductor substrate and the process which forms the contact hole which lays on top of the above-mentioned insulator layer, and includes a mark, The process which forms an electric conduction film in the whole surface, and the process which forms a resist thin film on the above-mentioned electric conduction film, The process which forms the resist pattern of wiring by exposing and developing the circuit pattern which lays on top of the above-mentioned resist thin film, and includes a mark, The process which measures the amount of superposition gaps of the superposition mark at the time of the above-mentioned contact hole formation, and the superposition mark at the time of the resist pattern formation of the above-mentioned wiring, and when the above-mentioned amount of superposition gaps is in predetermined tolerance, Since it had the process which *****s the above-mentioned electric conduction film by using the resist pattern of the above-mentioned wiring as a mask, superposition of a contact hole and a wiring layer can be performed with high precision, and improvement in the reliability of a device can be aimed at.

CLAIMS

[Claim(s)]

[Claim 1] The superposition mark characterized by having the pattern formed among the above-mentioned device patterns in the same pattern width of face as a pattern portion with few superposition margins, the pattern interval, and the pitch in the superposition mark used for each above-mentioned process at the time of performing the superposition process of a device pattern two or more times.

[Claim 2] The superposition mark characterized by having the pattern formed in lengthwise and each longitudinal direction in the same pattern width of face as each pattern portion with few superposition margins, the pattern interval, and the pitch among the above-mentioned device patterns in the superposition mark used for each above-mentioned process at the time of performing the superposition process of a device pattern two or more times.

[Claim 3] The superposition mark characterized by having the pattern into which the pitch of the above-mentioned hole pattern was changed so that a resist might imprint in the non-measuring direction in the same pitch as the above-mentioned hole pattern at a line in the measurement direction in the superposition mark used for each above-mentioned process at the time of performing the superposition process of a

device pattern two or more times when the above-mentioned device pattern is a detailed hole pattern.

[Claim 4] the repeat of the same pattern -- at least -- neighbors -- having -- the above -- the superposition mark according to claim 1 or 2 characterized by the repeat of the same pattern considering as a pattern detailed to the grade which is not imprinted by the resist at the time of exposure

[Claim 5] The superposition mark according to claim 1 or 2 characterized by being the alignment mark for which a superposition mark is used to superposition with a ground pattern at the time of exposure.

[Claim 6] The superposition process of a device pattern is the superposition of the 1st device pattern and the 2nd device pattern. A superposition mark With the superposition mark and the 2nd device pattern which were formed with the 1st device pattern The superposition mark according to claim 1 to 4 characterized by being the superposition inspection mark which performs superposition by [which pile up and measures the distance between edges with the resist pattern of a mark] having been formed.

[Claim 7] The manufacture method of the semiconductor device which used the superposition mark according to claim 6 characterized by providing the following The process which forms an insulator layer on a semiconductor substrate The process which forms the contact hole which lays on top of the above-mentioned insulator layer, and includes a mark The process which forms an electric conduction film in the whole surface The process which forms a resist thin film on the above-mentioned electric conduction film, and the process which forms the resist pattern of wiring by exposing and developing the circuit pattern which lays on top of the above-mentioned resist thin film, and includes a mark, The process which measures the amount of superposition gaps of the superposition mark at the time of the above-mentioned contact hole formation, and the superposition mark at the time of the resist pattern formation of the above-mentioned wiring, and when the above-mentioned amount of superposition gaps is in predetermined tolerance, The process which *****s the above-mentioned electric conduction film by using the resist pattern of the above-mentioned wiring as a mask

[Translation done.]

<http://www6.ipdl.jpo.go.jp/Tokujitu/PAJdetail.ipdl?N0000=80&N0120=01&N2001=2&N3001=H11-067631>